

## IMAGE PROCESSOR

**Publication number:** JP10215355 (A)

**Publication date:** 1998-08-11

**Inventor(s):** WATABE HIROYOSHI; MIYAMOTO TSUNEHARU; SUZUKI TATSUHISA

**Applicant(s):** FUJI XEROX CO LTD

**Classification:**

- **international:** *H04N1/00; H04N1/19; H04N1/21; H04N1/32; H04N1/00; H04N1/19; H04N1/21; H04N1/32; (IPC1-7): H04N1/21; H04N1/00; H04N1/19; H04N1/32*

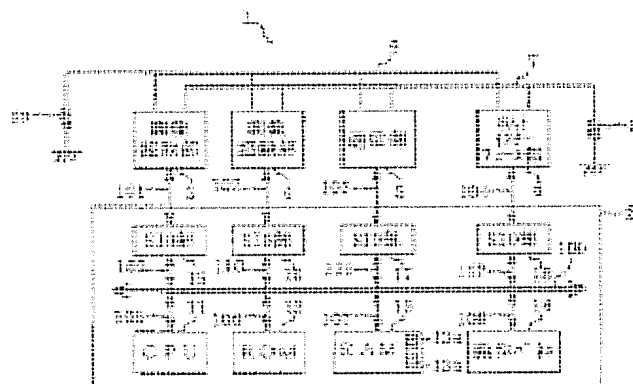
- **European:**

**Application number:** JP19970018388 19970131

**Priority number(s):** JP19970018388 19970131

### Abstract of JP 10215355 (A)

**PROBLEM TO BE SOLVED:** To improve extendibility while suppressing the number of signal lines and to parallelly transfer image data between the plural sets of image processors by providing more than the plural sets of signal transmission lines for connecting image processing means in common and allocating the image processing means capable of parallel operations for the respective signal transmission lines. **SOLUTION:** The image processing means constituted of an image read part 3, an image recording part 4, a communication part 5 and a host interface part 6 are connected in common by the two sets of the signal transmission lines 7 and 9. A connection switching means electrically connects or interrupts the image processing means 3-6 and the signal transmission lines 7 and 9 based on control signals and a control part 2 retrieves a combination capable of the parallel operations from the combination of the image processing means 3-6. Then, at the time of selecting an optional combination, the control part 2 allocates the signal transmission lines 7 and 9 for the respective combinations of the image processing means 3-6 matched with the retrieved combination and connects the allocated image processing means 3-6 and the signal transmission lines 7 and 9.



Data supplied from the **esp@cenet** database — Worldwide

(51) Int.Cl.<sup>6</sup> 識別記号H 0 4 N 1/21  
1/00  
1/19  
1/32

F I

H 0 4 N 1/21  
1/00 C  
1/32 Z  
1/04 1 0 2

審査請求 未請求 請求項の数 3 O L (全 16 頁)

(21) 出願番号 特願平9-18388

(22) 出願日 平成9年(1997) 1月31日

(71) 出願人 000005496

富士ゼロックス株式会社  
東京都港区赤坂二丁目17番22号

(72) 発明者 渡部 弘好

埼玉県岩槻市府内3丁目7番1号 富士ゼ  
ロックス株式会社岩槻事業所内

(72) 発明者 宮本 恒晴

埼玉県岩槻市府内3丁目7番1号 富士ゼ  
ロックス株式会社岩槻事業所内

(72) 発明者 鈴木 達久

埼玉県岩槻市府内3丁目7番1号 富士ゼ  
ロックス株式会社岩槻事業所内

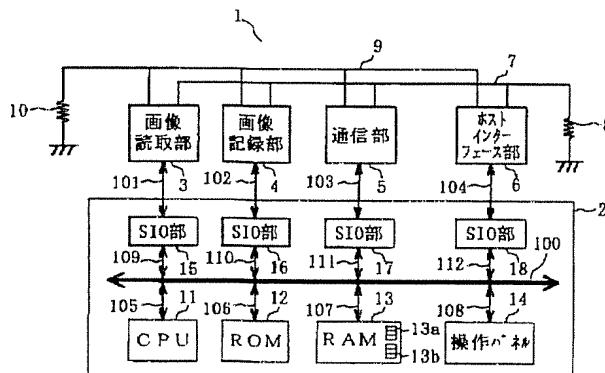
(74) 代理人 弁理士 山内 梅雄

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【課題】 信号線の本数を減らしつつ拡張性を高めるとともに、複数の画像データを並列転送する画像処理装置を提供すること。

【解決手段】 所望の画像データ信号を出力する画像出力部と画像データ信号を入力する画像入力部とを2以上ずつ備える画像処理手段3～6と、すべての画像処理手段3～6を共通接続する少なくとも2組の信号伝送路7、9と、制御信号に基づいて任意の画像処理手段3～6と信号伝送路7、9との間を電氣的に接続、あるいは、遮断する接続切替手段と、画像処理手段3～6の組み合わせの中から、並列動作が可能な組み合わせを検索する検索手段2と、任意の組み合わせを選択する際、検索手段2によって検索された組み合わせに合致する画像処理手段3～6の組み合わせ毎に信号伝送路7、9を割り当てるとともに、割り当てられた画像処理手段3～6と信号伝送路7、9とを接続状態とする制御手段2とを備えるように構成する。



## 【特許請求の範囲】

【請求項 1】 外部から入力される画像同期信号に基づいて所望の画像データ信号を出力する画像出力部と、任意の画像出力部に対して画像同期信号を出力し、当該画像出力部より出力される画像データ信号を入力する画像入力部とを 2 以上ずつ備える画像処理手段と、画像同期信号および画像データ信号を伝送する信号線によって、すべての画像処理手段を共通接続する少なくとも 2 組の信号伝送路と、

外部から入力される制御信号に基づいて、任意の画像出力部および画像入力部と信号伝送路との間を電氣的に接続、あるいは、遮断する接続切替手段と、

画像出力部および画像入力部の組み合わせの中から、並列動作が可能な組み合わせパターンを検索する検索手段と、

任意の画像出力部および画像入力部の組み合わせを選択する際、検索手段によって検索された組み合わせパターンに合致する画像出力部および画像入力部の組み合わせ毎に前記信号伝送路を割り当てるとともに、割り当てられた画像出力部および画像入力部と信号伝送路とを接続状態とする制御信号を前記接続切替手段に出力制御する制御手段とを具備することを特徴とする画像処理手段。

【請求項 2】 外部から入力される基準クロック信号のパルス立ち上がりまたはパルス立ち下がりタイミングに応じて所望の画像データの入力あるいは出力を行う複数の画像処理手段と、

画像同期信号および画像データ信号を伝送する信号線によって、すべての画像処理手段を共通接続する信号伝送路と、

外部から入力される制御信号に基づいて、任意の画像出力部および画像入力部と信号伝送路との間を電氣的に接続、あるいは、遮断する接続切替手段と、

これらの画像処理手段における、画像データの入力を行う画像処理手段および画像データの出力を行う画像処理手段の組み合わせの中から、並列動作が可能な複数組の組み合わせパターンを検索する検索手段と、

基準クロック信号の  $n$  ( $n$  は 2 以上の整数) 倍となる周波数の倍クロック信号を生成する倍クロック生成手段と、

画像データの入力を行う画像処理手段および画像データの出力を行う画像処理手段の中から任意の画像処理手段の組み合わせを選択する際、検索手段によって検索された組み合わせパターンに合致する一対の画像処理手段毎に、基準クロック信号のパルス立ち上がりまたはパルス立ち下がりタイミングから  $1/n$  ずつずれた前記倍クロック生成手段により生成される倍クロック信号のパルス周期時間を割り当て、この一対の画像処理手段と信号伝送路とを、割り当てられた時間だけ接続状態とする制御信号を前記接続切替手段に出力制御する制御手段とを具備することを特徴とする画像処理手段。

【請求項 3】 前記信号伝送路は、画像データを伝送するための画像データ用信号線と、画像処理手段間におけるページ同期およびライン同期をとるための同期信号用信号線とを有し、

画像データの転送対象となる画像処理手段は、画像データの入力側から出力側に対して前記同期信号用信号線を介して同期信号を出力するとともに、画像データの出力側から入力側に対して前記画像データ用信号線を介して画像データ信号を出力することを特徴とする請求項 1 または 2 記載の画像処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、複数の画像入力部および画像出力部を備え、任意の画像入力部および画像出力部との間で画像データを伝送する画像処理装置に関する。

## 【0002】

【従来の技術】従来、ファクシミリ装置や光ファイリング装置等を拡張可能な画像処理装置としては、特開平 4 - 2 4 8 6 7 9 号公報に示すような画像処理装置が案出されている。この画像処理装置は、画像入力部と画像出力部とを備え、画像入力部によって入力した画像データを出力するための出力バッファ回路と、画像出力部に対して出力すべき画像データを入力するための入力バッファ回路とを設けるとともに、画像データを伝達するための入力信号線と出力信号線とを互いに独立した状態で配線したものである。

【0003】そして、ファクシミリ装置や光ファイリング装置等の拡張機能装置のように、画像データの入力および出力を共に行うことのできる装置を、新たに接続可能とするために、画像データや同期信号を双方向に伝達するスルーパスが設けられている。このスルーパスは、外部より与えられる制御信号によってその伝送方向を決定する。このように、本画像処理装置では、簡単な構成で、数多くの拡張機能装置を付加することができ、画像入力部、画像出力部および新たに付加される拡張機能装置の間で自由に画像データのやりとりを行うことができる。

## 【0004】

【発明が解決しようとする課題】しかしながら、この画像処理装置では、入力信号線と出力信号線とが別々になっていることから、入力信号線および出力信号線を共通利用した場合と比較して、単純に 2 倍の信号線が必要になる。また、スルーパス用に複数のバッファ回路を必要としているため、回路が複雑化し、その制御も複雑なものとなっていた。また、拡張装置の追加に伴って、新たな拡張装置と主装置との間を接続する接続用信号線の数が増えるため、信号の流れを制御するための制御回路の構成および制御処理が複雑になり、コストアップにつながるといった問題もあった。

【0005】そこで、入力信号線と出力信号線とを共通化し、さらに、各画像入力部および各画像出力部を接続する信号線をバス状に共通接続することで、信号線数を減らすとともに、拡張装置の追加に伴う信号線の増加を抑えることが案出されている。ところが、各画像入力部および各画像出力部を接続する信号線をバス状に共通接続した場合、信号線に画像入力部および画像出力部が複数接続されているにもかかわらず、信号線を介して画像データのやりとりを行える画像入力部および画像出力部は、それぞれ1つしか選択できない。

【0006】すなわち、バス状の信号線では、信号線を占有する画像入力部および画像出力部の指定が必要であり、指定されない他の画像入力部および画像出力部は、例えば、指定された画像入力部および画像出力部とは独立して画像データのやりとりを行うことができるものであっても、信号線が開放されるまでは画像データのやりとりを行うことができないという新たな問題点が生じてくる。

【0007】そこで本発明の目的は、上記問題点を解決するため、信号線の本数を減らしつつ拡張性を高めるとともに、複数の画像データを並列転送する画像処理装置を提供することにある。

【0008】

【課題を解決するための手段】請求項1記載の発明では、外部から入力される画像同期信号に基づいて所望の画像データ信号を出力する画像出力部と、任意の画像出力部に対して画像同期信号を出力し、当該画像出力部より出力される画像データ信号を入力する画像入力部とを2以上ずつ備える画像処理手段と、画像同期信号および画像データ信号を伝送する信号線によって、すべての画像処理手段を共通接続する少なくとも2組の信号伝送路と、外部から入力される制御信号に基づいて、任意の画像出力部および画像入力部と信号伝送路との間を電氣的に接続、あるいは、遮断する接続切替手段と、画像出力部および画像入力部の組み合わせの中から、並列動作が可能な組み合わせパターンを検索する検索手段と、任意の画像出力部および画像入力部の組み合わせを選択する際、検索手段によって検索された組み合わせパターンに合致する画像出力部および画像入力部の組み合わせ毎に信号伝送路を割り当てるとともに、割り当てられた画像出力部および画像入力部と信号伝送路とを接続状態とする制御信号を接続切替手段に出力制御する制御手段とを備えるように構成している。

【0009】すなわち、請求項1記載の発明は、画像処理手段間を共通接続する信号伝送路を2組以上設け、各信号伝送路毎に並列動作可能な画像処理手段を割り当てることにより、信号線数を抑えつつ、複数組の画像処理装置間で画像データの並列転送処理が可能となる。

【0010】請求項2記載の発明では、外部から入力される基準クロック信号のパルス立ち上がりまたはパルス

立ち下がりタイミングに応じて所望の画像データの入力あるいは出力を行う複数の画像処理手段と、画像同期信号および画像データ信号を伝送する信号線によって、すべての画像処理手段を共通接続する信号伝送路と、外部から入力される制御信号に基づいて、任意の画像出力部および画像入力部と信号伝送路との間を電氣的に接続、あるいは、遮断する接続切替手段と、これらの画像処理手段における、画像データの入力を行う画像処理手段および画像データの出力を行う画像処理手段の組み合わせの中から、並列動作が可能な複数組の組み合わせパターンを検索する検索手段と、基準クロック信号の $n$  ( $n$ は2以上の整数) 倍となる周波数の倍クロック信号を生成する倍クロック生成手段と、画像データの入力を行う画像処理手段および画像データの出力を行う画像処理手段の中から任意の画像処理手段の組み合わせを選択する際、検索手段によって検索された組み合わせパターンに合致する一対の画像処理手段毎に、基準クロック信号のパルス立ち上がりまたはパルス立ち下がりタイミングから $1/n$  ずつずれた倍クロック生成手段により生成される倍クロック信号のパルス周期時間を割り当て、この一対の画像処理手段と信号伝送路とを、割り当てられた時間だけ接続状態とする制御信号を接続切替手段に出力制御する制御手段とを備えるように構成している。

【0011】すなわち、請求項2記載の発明は、画像処理手段間を共通接続する信号伝送路を利用する時間間隔を $n$  以上設け、この $n$  時間毎に並列動作可能な画像処理手段を割り当てることにより、信号線数を抑えつつ、複数組の画像処理装置間で画像データの並列転送処理が可能となる。

【0012】請求項3記載の発明では、信号伝送路は、画像データを伝送するための画像データ用信号線と、画像処理手段間におけるページ同期およびライン同期をとるための同期信号用信号線とを有し、画像データの転送対象となる画像処理手段は、画像データの入力側から出力側に対して同期信号用信号線を介して同期信号を出力するとともに、画像データの出力側から入力側に対して画像データ用信号線を介して画像データ信号を出力するように構成している。

【0013】すなわち、請求項3記載の発明は、前述した請求項1または2に記載する発明に加えて、選択された画像処理手段間だけで正しく画像データのやりとりを行うことができる。

【0014】

【発明の実施の形態】以下、図示した一実施例に基づいて本発明を詳細に説明する。

【0015】第1の実施例

【0016】図1は、本発明の第1の実施例における画像処理装置の要部構成を示すものである。同図に示すように、本実施例での画像処理装置1は、画像処理装置1における処理の全体制御を行う制御部（制御手段、検索

手段) 2 と、制御部 2 から信号線 101 を介して出力される制御信号に基づき所望の画像データを読み取る画像読取部 (画像処理手段) 3 と、制御部 2 から信号線 102 を介して出力される制御信号に基づき画像データを記録する画像記録部 (画像処理手段) 4 と、制御部 2 から信号線 103 を介して出力される制御信号に基づき外部装置との間で通信によるデータの送受信を行う通信部

(画像処理手段) 5 と、制御部 2 から信号線 104 を介して出力される制御信号に基づいて、図示しないパソコン等のホスト装置との入出力インターフェースとなるホストインターフェース部 (画像処理手段) 6 とを備えている。

【0017】画像読取部 3、画像記録部 4、通信部 5、ホストインターフェース部 6 は、それぞれ独立したモジュール (以下、画像読取部 3、画像記録部 4、通信部 5、ホストインターフェース部 6 をそれぞれサブモジュールと呼称する) を構成し、各サブモジュールは、信号線 (信号伝送路) 7 および信号線 (信号伝送路) 9 によって相互に接続されている。なお、図 1 中、信号線 7 および信号線 9 は、1 本の信号線として表されているが、実際には、画像データ用信号線、ページ同期信号用信号線、ライン同期信号用信号線、ドット同期信号用信号線の 4 つの信号線を含んでいる。また、信号線 7 の一方端部はプルダウン抵抗 8 を介して低電位電源線に接続されており、同様に、信号線 9 の一方端部はプルダウン抵抗 10 を介して低電位電源線に接続されている。

【0018】制御部 2 は、システムバス 100 に対し、信号線 105 を介して接続する CPU (Central Processing Unit) 11 と、信号線 106 を介して接続する ROM (Read Only Memory) 12 と、信号線 107 を介して接続する RAM (Random Access Memory) 13 と、信号線 108 を介して接続する操作パネル 14 と、信号線 109 を介して接続するシリアル入出力部 (以下、本文および図中において、シリアル入出力部を SIO 部と略す) 15 と、信号線 110 を介して接続する SIO 部 16 と、信号線 111 を介して接続する SIO 部 17 と、信号線 112 を介して接続する SIO 部 18 とを備えている。

【0019】ここで、CPU 11 は、制御部 2 の中枢となるプロセッサであり、ROM 12 内に格納されたプログラム処理手順に基づいて、各種制御処理を実行する。ROM 12 は、CPU 11 によって利用される各種制御プログラムやデータ等を格納する半導体メモリである。RAM 13 は、CPU 11 におけるプログラム処理実行中に利用されるプログラムデータ等を格納したり、処理に関連するデータ等を一時的に記憶し、作業領域として利用するための半導体メモリであり、RAM 13 内の所定領域には、キューレジスタ 13a、13b が設定されている。操作パネル 14 は、制御部 2 に対する各種指示項目を入力するためのインターフェースである。

【0020】SIO 部 15 は、信号線 101 を介して接続される画像読取部 3 に対して、CPU 11 から出力される制御信号を伝達するためのものであり、同様に、SIO 部 16 は、信号線 102 を介して接続される画像記録部 4 に対して、SIO 部 17 は、信号線 103 を介して接続される通信部 5 に対して、SIO 部 18 は、信号線 104 を介して接続されるホストインターフェース部 6 に対して、CPU 11 から出力される制御信号をそれぞれ伝達するためのものである。

【0021】図 2 は、図 1 における画像読取部の要部構成を詳細に示すものである。画像読取部 3 は、バス 200 に対し、信号線 201 を介して接続する CPU 21 と、信号線 202 を介して接続する ROM 22 と、信号線 203 を介して接続する RAM 23 と、信号線 204 を介して接続する SIO 部 24 と、信号線 205a を介して接続する画像信号インターフェース部 25a と、信号線 205b を介して接続する画像信号インターフェース部 25b と、信号線 206 を介して接続する A/D 変換部 26 と、信号線 209 を介して接続するモータ 28 と、信号線 210 を介して接続するセンサ 29 とを備えている。

【0022】さらに、A/D 変換部 26 に対して信号線 208 を介して接続する CCD (Charge Coupled Device) 27 と、画像信号インターフェース部 25a (25b) から信号線 211a (211b) を介して入力される画像データ信号 VD を、信号線 212a (212b) を介して出力するバッファ回路 30a (30b) と、信号線 213a (213b) を介して入力されるドット同期信号 VCLK を、信号線 214a (214b) を介して画像信号インターフェース部 25a (25b) に出力するバッファ回路 31a (31b) と、信号線 215a (215b) を介して入力されるライン同期信号 LSYNC を、信号線 216a (216b) を介して画像信号インターフェース部 25a (25b) に出力するバッファ回路 32a (32b) と、信号線 217a (217b) を介して入力されるページ同期信号 PSYNC を、信号線 218a (218b) を介して画像信号インターフェース部 25a (25b) に出力するバッファ回路 33a (33b) とを備えている。

【0023】これらバッファ回路 30a (30b) ~ 33a (33b) は、画像信号インターフェース部 25a (25b) と共に選択決定手段としての機能を有し、画像信号インターフェース部 25a (25b) から信号線 219a (219b) を介して出力されるイネーブル信号 E<sub>i</sub> によって各信号を入出力状態を制御する。具体的には、イネーブル信号 E<sub>i</sub> をハイレベル (以下、“H”) とすることでアイドル状態とし、ローレベル (以下、“L”) とすることで動作状態とする。また、A/D 変換部 26 は、信号線 207 を介して画像信号インターフェース部 25a、25b にタイミング信号を出

力する。これによって、画像読取部 3 は、制御部 2 から入力される制御信号に基づいて、CCD 27 によって所望の画像データを読み取り、読み取った画像データを信号線 212a あるいは信号線 212b (すなわち、信号線 7 または信号線 9) に出力する。

【0024】図 3 は、図 1 における画像記録部の要部構成を詳細に示すものである。画像記録部 4 は、バス 220 に対し、信号線 221 を介して接続する CPU 41 と、信号線 222 を介して接続する ROM 42 と、信号線 223 を介して接続する RAM 43 と、信号線 224 を介して接続する SIO 部 44 と、信号線 226a を介して接続する画像信号インターフェース部 45a と、信号線 226b を介して接続する画像信号インターフェース部 45b と、信号線 229 を介して接続するモータ 47 と、信号線 230 を介して接続するセンサ 48 とを備えている。

【0025】さらに、画像信号インターフェース部 45a (45b) から信号線 227a (227b) を介して接続する露光部 46 と、信号線 231a (231b) を介して入力される画像データ信号 VD を、信号線 232a (232b) を介して画像信号インターフェース部 45a (45b) に出力するバッファ回路 49a (49b) と、画像信号インターフェース部 45a (45b) から信号線 233a (233b) を介して入力されるドット同期信号 VCLK を、信号線 234a (234b) を介して出力するバッファ回路 50a (50b) と、画像信号インターフェース部 45a (45b) から信号線 235a (235b) を介して入力されるライン同期信号 LSYNC を、信号線 236a (236b) を介して出力するバッファ回路 51a (51b) と、画像信号インターフェース部 45a (45b) から信号線 237a (237b) を介して入力されるページ同期信号 PSYNC を、信号線 238a (238b) を介して出力するバッファ回路 52a (52b) とを備えている。

【0026】これらバッファ回路 49a (49b) ~ 52a (52b) は、画像信号インターフェース部 45a (45b) と共に選択決定手段としての機能を有し、画像信号インターフェース部 45a (45b) から信号線 239a (239b) を介して出力されるイネーブル信号 E<sub>2</sub> によって各信号を入出力状態を制御する。これによって、画像記録部 4 は、制御部 2 から入力される制御信号に基づいて、露光部 46 において所望の画像データを形成し、形成した画像データを所定の画像記録用紙に印刷出力する。

【0027】図 4 は、図 1 における通信部の要部構成を詳細に示すものである。通信部 5 は、バス 240 に対し、信号線 241 を介して接続する CPU 61 と、信号線 242 を介して接続する ROM 62 と、信号線 243 を介して接続する RAM 63 と、信号線 244 を介して接続する SIO 部 64 と、信号線 246a を介して接続

する画像信号インターフェース部 65a と、信号線 246b を介して接続する画像信号インターフェース部 65b と、信号線 248 を介して接続する圧縮・伸長部 66 と、信号線 249 を介して接続するモデム 67 と、信号線 251 を介して接続する回線インターフェース 68 とを備えている。

【0028】さらに、信号線 253a (253b) を介して入力される画像データ信号 VD を、信号線 255a (255b) を介して画像信号インターフェース部 65a (65b) に出力するバッファ回路 69a (69b) と、画像信号インターフェース部 65a (65b) から信号線 254a (254b) を介して入力される画像データ信号 VD を、信号線 253a (253b) を介して出力するバッファ回路 70a (70b) と、信号線 256a (256b) を介して入力されるドット同期信号 VCLK を、信号線 258a (258b) を介して画像信号インターフェース部 65a (65b) に出力するバッファ回路 71a (71b) と、画像信号インターフェース部 65a (65b) から信号線 257a (257b) を介して入力されるドット同期信号 VCLK を、信号線 256a (256b) を介して出力するバッファ回路 72a (72b) と、信号線 259a (259b) を介して入力されるライン同期信号 LSYNC を、信号線 261a (261b) を介して画像信号インターフェース部 65a (65b) に出力するバッファ回路 73a (73b) と、画像信号インターフェース部 65a (65b) から信号線 260a (260b) を介して入力されるライン同期信号 LSYNC を、信号線 259a (259b) を介して出力するバッファ回路 74a (74b) と、信号線 262a (262b) を介して入力されるページ同期信号 PSYNC を、信号線 264a (264b) を介して画像信号インターフェース部 65a (65b) に出力するバッファ回路 75a (75b) と、画像信号インターフェース部 65a (65b) から信号線 263a (263b) を介して入力されるページ同期信号 PSYNC を、信号線 262a (262b) を介して出力するバッファ回路 76a (76b) とを備えている。

【0029】バッファ回路 69a (69b)、71a (71b)、73a (73b)、75a (75b) は、画像信号インターフェース部 65a (65b) と共に選択決定手段としての機能を有し、画像信号インターフェース部 65a (65b) から信号線 265a (265b) を介して出力されるイネーブル信号 E<sub>3</sub> によって各信号を入出力状態を制御する。また、バッファ回路 70a (70b)、72a (72b)、74a (74b)、76a (76b) は、画像信号インターフェース部 65a (65b) と共に選択決定手段としての機能を有し、画像信号インターフェース部 65a (65b) から信号線 266a (266b) を介して出力されるイネーブル信号 E<sub>4</sub> によって各信号を入出力状態を制御する。すな

わち、通信部 5 は、画像信号および同期信号の入力および出力を行うことから、入出力を 2 種類のイネーブル信号によって制御する必要があるためである。

【0030】圧縮・伸長部 66 は、信号線 247 a (247 b) を介して画像信号インターフェース部 65 a (65 b) との間で画像信号のやりとりを行い、画像信号の圧縮あるいは伸長を行う。また、モデム 67 は、信号線 250 を介して回線インターフェース 68 に接続されており、回線インターフェース 68 に出力すべき信号を変調したり、回線インターフェース 68 から入力される信号を復調したりするものである。回線インターフェース 68 は、信号線 252 を介して、アナログ一般公衆回線等の外部回線に接続し、外部回線を通して画像信号の入出力を行うものである。これによって、通信部 5 は、制御部 2 から入力される制御信号に基づいて、外部回線との間で画像データの入出力を行う。

【0031】図 5 は、図 1 におけるホストインターフェース部の要部構成を詳細に示すものである。ホストインターフェース部 6 は、バス 270 に対し、信号線 271 を介して接続する CPU 81 と、信号線 272 を介して接続する ROM 82 と、信号線 273 を介して接続する RAM 83 と、信号線 274 を介して接続する SIO 部 84 と、信号線 276 a を介して接続する画像信号インターフェース部 85 a と、信号線 276 b を介して接続する画像信号インターフェース部 85 b と、信号線 278 を介して接続するページメモリ 86 と、信号線 279 を介して接続する双方向パラレルインターフェース 87 とを備えている。

【0032】さらに、信号線 281 a (281 b) を介して入力される画像データ信号 VD を、信号線 283 a (283 b) を介して画像信号インターフェース部 85 a (85 b) に出力するバッファ回路 89 a (89 b) と、画像信号インターフェース部 85 a (85 b) から信号線 282 a (282 b) を介して入力される画像データ信号 VD を、信号線 281 a (281 b) を介して出力するバッファ回路 90 a (90 b) と、信号線 285 a (285 b) を介して入力されるドット同期信号 VCLK を、信号線 287 a (287 b) を介して画像信号インターフェース部 85 a (85 b) に出力するバッファ回路 91 a (91 b) と、画像信号インターフェース部 85 a (85 b) から信号線 286 a (286 b) を介して入力されるドット同期信号 VCLK を、信号線 285 a (285 b) を介して出力するバッファ回路 92 a (92 b) と、信号線 288 a (288 b) を介して入力されるライン同期信号 LSYNC を、信号線 290 a (290 b) を介して画像信号インターフェース部 85 a (85 b) に出力するバッファ回路 93 a (93 b) と、画像信号インターフェース部 85 a (85 b) から信号線 289 a (289 b) を介して入力されるライン同期信号 LSYNC を、信号線 288 a (288

b) を介して出力するバッファ回路 94 a (94 b) と、信号線 291 a (291 b) を介して入力されるページ同期信号 PSYNC を、信号線 293 a (293 b) を介して画像信号インターフェース部 85 a (85 b) に出力するバッファ回路 95 a (95 b) と、画像信号インターフェース部 85 a (85 b) から信号線 292 a (292 b) を介して入力されるページ同期信号 PSYNC を、信号線 291 a (291 b) を介して出力するバッファ回路 96 a (96 b) とを備えている。

【0033】バッファ回路 89 a (89 b)、91 a (91 b)、93 a (93 b)、95 a (95 b) は、画像信号インターフェース部 85 a (85 b) と共に選択決定手段としての機能を有し、画像信号インターフェース部 85 a (85 b) から信号線 294 a (294 b) を介して出力されるイネーブル信号 E<sub>5</sub> によって各信号を入出力状態を制御する。また、バッファ回路 90 a (90 b)、92 a (92 b)、94 a (94 b)、96 a (96 b) は、画像信号インターフェース部 85 a (85 b) と共に選択決定手段としての機能を有し、画像信号インターフェース部 85 a (85 b) から信号線 295 a (295 b) を介して出力されるイネーブル信号 E<sub>6</sub> によって各信号を入出力状態を制御する。すなわち、ホストインターフェース部 6 は、通信部 5 と同様に、画像信号および同期信号の入力および出力を行うことから、入出力を 2 種類のイネーブル信号によって制御する必要があるためである。

【0034】ページメモリ 86 は、信号線 277 a (277 b) を介して画像信号インターフェース部 85 a (85 b) との間で画像信号のやりとりを行い、1 ページ分の画像データを格納する。また、双方向パラレルインターフェース 87 は、信号線 280 を介して、ホスト装置となるパーソナルコンピュータ (以下、パソコン) 88 と接続するためのインターフェースであり、この双方向パラレルインターフェース 87 によって、パソコン 88 との間で画像信号の入出力を行うものである。これによって、ホストインターフェース部 6 は、制御部 2 から入力される制御信号に基づいて、パソコン 88 との間で画像データの入出力を行う。

【0035】以上の構成において、各サブモジュール内の画像信号インターフェース部 25 a (25 b)、45 a (45 b)、65 a (65 b)、85 a (85 b) には、それぞれ、ページ同期信号用信号線、ライン同期信号用信号線、ドット同期信号用信号線、画像データ用信号線の 4 本の信号線が接続され、これらの 4 本の信号線によって信号線 7 が形成されている。

【0036】図 6 は、アイドル時における、ページ同期信号、ライン同期信号、ドット同期信号、画像データ信号の波形を示すためのものであり、図 7 は、動作時における、ページ同期信号、ライン同期信号、ドット同期信号、画像データ信号の波形を示すためのものである。な

お、図 6 および図 7 中、(a) はページ同期信号 P S Y N C、(b) はライン同期信号 L S Y N C、(c) はドット同期信号 V C L K、(d) は画像データ信号 V D を示す。

【0037】アイドル時には、図 6 に示すように、ページ同期信号用信号線、ライン同期信号用信号線、ドット同期信号用信号線の各信号線電位は、非活性状態の“L”に固定する。このため、プルダウン抵抗 8 には、数百  $\Omega$  ～ 数 k  $\Omega$  の抵抗値を有する抵抗を用い、非活性状態における同期信号線の電位レベルを一定に保っている。また、画像データ用信号線は、ハイインピーダンス（以下、“Z”）とする。

【0038】一方、動作時には、制御部 2 によって画像出力を行う所定のサブモジュール（この場合、画像読取部 2、通信部 4、ホストインターフェース部 5 のいずれか）と、画像入力を行う所定のサブモジュール（この場合、画像記録部 3、通信部 4、ホストインターフェース部 5 のいずれか）とを活性状態とし、画像データ信号 V D の入力を求めるサブモジュールから画像データ信号 V D を出力するサブモジュールに対して、図 7 に示すような、ページ同期信号 P S Y N C、ライン同期信号 L S Y N C、ドット同期信号 V C L K を信号線 7 に出力する。すると、画像データ信号 V D を出力するサブモジュール側では、入力されるページ同期信号 P S Y N C、ライン同期信号 L S Y N C、ドット同期信号 V C L K に同期して、画像データ信号 V D を信号線 7 に出力する。

【0039】このとき、画像データ信号 V D を出力すべきサブモジュール、および、画像データ信号 V D を入力すべきサブモジュール以外のサブモジュールは、アイドル状態となっているため、信号線 7 とは電氣的に遮断された状態となっている。すなわち、選択された 2 つのサブモジュール間だけを、ページ同期信号用信号線、ライン同期信号用信号線、ドット同期信号用信号線、画像データ用信号線によって接続したものと等価な状態となる。なお、各信号は、原稿または記録紙サイズ、読み取りまたは記録解像度によって異なった時間周期となる。

【0040】図 8 は、画像データの入出力を行うサブモジュールの動作可能な組み合わせを例示するものである。画像出力側となるサブモジュールは、画像読取部 2、通信部 4、ホストインターフェース部 5 のいずれかであり、一方、画像入力側となるサブモジュールは、画像記録部 3、通信部 4、ホストインターフェース部 5 のいずれかである。そして、各サブモジュール同士の組み合わせによって、図 8 に示すように、「コピー」(01H)、「送信蓄積」(02H)、「ローカルスキャン」(03H)、「受信プリント」(04H)、「P C ファックス受信」(05H)、「P C プリント」(06H)、「P C ファックス送信」(07H) の 7 つの動作モードを実現している。そして、各動作モードには、“01H”～“07H”の番号が振られている。

【0041】本実施例の画像処理装置 1 は、動作時ににおいて、活性状態となる画像出力側および画像入力側のサブモジュールはそれぞれ 2 つあり、図 9 ～ 図 11 に示すように、各サブモジュールの組み合わせによって、一度に 2 つまでの動作を並列して行うことができるようになっている。図 12 に現在の動作状態からデュアル動作可能な次の動作の一覧を示す。このように、アイドル中のサブモジュールから動作要求があった場合、R A M 13 内のキューレジスタ 13 a、13 b に対して、その要求がキューイングされる。キューレジスタ 13 a、13 b は、前述したように、R A M 13 内の所定領域に設けられ、C P U 11 によって管理されている。また、本実施例では、2 つのサブモジュールが動作中に、残り 2 つのサブモジュールから動作要求が発生する可能性があるため、図 13 に示すように、3 段のキューレジスタを用意している。

【0042】図 13 は、動作要求に伴うキューレジスタ内部値の変化を説明するためのものである。電源投入直後のキューレジスタ 13 a、13 b は、1 段目から 3 段目まで共に“00H”を格納している（図 13 中、A 参照）。ここで、画像読取部 2 から「送信蓄積」の動作要求があると、キューレジスタ 13 a の 1 段目に“02H”を書き込み、「送信蓄積」動作を実行する（図 13 中、B 参照）。そして、「送信蓄積」動作の最中にホストインターフェース部 5 から「P C プリント」の動作要求があると、現在「送信蓄積」動作を実行中であるため、キューレジスタ 13 b の 1 段目に“06H”を書き込む（図 13 中、C 参照）。

【0043】そして、「P C プリント」動作が終了すると、キューレジスタ 13 b の 1 段目の内容に“00H”を書き込む。さらに、「送信蓄積」動作の最中にホストインターフェース部 5 から「P C ファックス送信」の動作要求があると、「P C ファックス送信」動作は、図 12 に示すように、「送信蓄積」動作とデュアル動作ができないため、キューレジスタ 13 a の 2 段目に“07H”を書き込み、「P C ファックス送信」動作は待機状態となる（図 13 中、C 参照）。

【0044】次に、上述の実施例における画像処理装置 1 の動作例を図 14 ～ 図 23 に基づいて説明する。

【0045】図 14 は、画像処理装置の電源投入後の処理手順を示すものである。画像処理装置 1 に電源が投入されると、C P U 11 は、R A M 13 内のキューレジスタに対して“00H”を書き込み、キューレジスタを初期化する（ステップ S 101）。そして、各サブモジュール内は、画像信号インターフェース部 25 a (25 b)、45 a (45 b)、65 a (65 b)、85 a (85 b) から出力するイネーブル信号 E<sub>1</sub> ～ E<sub>6</sub> をそれぞれ“H”とする。これによって、ページ同期信号用信号線、ライン同期信号用信号線、ドット同期信号用信号線の各信号線電位を非活性状態の“L”に固定し、ア



アイドル状態とする（ステップ S102）。次いで、その他の初期化処理を実行する（ステップ S103）。

【0046】図15～図17は、本実施例の画像処理装置でファクシミリ送信を行う場合の処理手順を示すものである。オペレータによって操作パネル14から「送信蓄積」の指示入力があると（ステップ S201）、CPU11は、キューレジスタ13a（13b）の1段目の内容を読み出し、その内容が“00H”であり、現在の動作状態がアイドル状態であることを確認する（ステップ S202）。そして、CPU11は、キューレジスタ13aの1段目に“02H”を書き込み、動作モードとして「送信蓄積」を選択する（ステップ S203）。続いて、CPU11は、SIO部15から信号線101を介して画像読取部3に対して原稿の読み取りを指示し（ステップ S204）、画像読取部3がレディ状態であるか否かを判断する（ステップ S205）。

【0047】ステップ S205の判断処理において、画像読取部3からレディステータス信号の返答がない場合には、画像読取部3はまだレディ状態ではないものと判断し（ステップ S205；N）、レディステータス信号を受信するまで待機する。一方、ステップ S205の判断処理において、画像読取部3からレディステータス信号の返答があった場合には、画像読取部3がレディ状態であるものと判断する（ステップ S205；Y）。レディ状態となった画像読取部3は、画像信号インターフェース部25a（25b）から出力するイネーブル信号E<sub>1</sub>を“L”として、ページ同期信号用信号線、ライン同期信号用信号線、ドット同期信号用信号線を動作状態とするとともに、センサ29によって原稿サイズを検出し、検出した原稿サイズの情報をSIO部44からCPU11に通知する（ステップ S206）。

【0048】次に、CPU11は、SIO部17から信号線103を介して通信部5に対して送信を指示するとともに、原稿サイズ、送信モード、相手先電話番号等の必要な情報も伝達する（ステップ S207）。CPU11からの送信指示を受けた通信部5は、画像信号インターフェース部65a（65b）から出力するイネーブル信号E<sub>3</sub>を“L”として、ページ同期信号用信号線、ライン同期信号用信号線、ドット同期信号用信号線の動作状態とし、ページ同期信号PSYNC、ライン同期信号LSYNC、ドット同期信号VCLKの各同期信号を送出可能な状態とする（ステップ S208）。

【0049】次いで、通信部5は、原稿サイズに応じた所定のページ同期信号PSYNC、ライン同期信号LSYNC、ドット同期信号VCLKの各同期信号を信号線7に出力し、信号線7を介して画像読取部3は、これらの同期信号を入力する（ステップ S209）。これによって、画像読取部3は、信号線7に画像データ信号VDを出力し、信号線7を介して通信部5は、画像データ信号VDを入力する。さらに、通信部5は、圧縮・伸長部

66によって画像データ信号VDの圧縮を行い、圧縮した画像データをRAM63に蓄積する（ステップ S210）。

【0050】そして、通信部5は、1ページ分の「送信蓄積」が終了すると、ページ終了の情報をSIO部64からCPU11に通知する（ステップ S211）。すると、CPU11は、SIO部15から信号線101を介して画像読取部3に対して原稿の残りがあらか否かを確認し（ステップ S212）、画像読取部3に原稿がまだあるか否かを判断する（ステップ S213）。ステップ S213の判断処理において、画像読取部3に原稿がまだある場合（ステップ S213；Y）、CPU11は、SIO部17から信号線103を介して通信部5に対して次原稿の入力を指示し（ステップ S214）、ステップ S209からの処理を実行する。一方、ステップ S213の判断処理において、画像読取部3に原稿がもうない場合（ステップ S213；N）、CPU11は、SIO部15から信号線101を介して画像読取部3に対して「送信蓄積」動作の終了を通知する（ステップ S215）。

【0051】「送信蓄積」動作の終了通知を受けた画像読取部3は、画像信号インターフェース部25a（25b）から出力するイネーブル信号E<sub>1</sub>を“H”として、ページ同期信号用信号線、ライン同期信号用信号線、ドット同期信号用信号線をアイドル状態とする（ステップ S216）。続いて、CPU11は、SIO部17から信号線103を介して通信部5に対して「送信蓄積」動作の終了を通知する（ステップ S217）。「送信蓄積」動作の終了通知を受けた通信部5は、画像信号インターフェース部65aから出力するイネーブル信号E<sub>3</sub>を“H”として、ページ同期信号用信号線、ライン同期信号用信号線、ドット同期信号用信号線をアイドル状態とする（ステップ S218）。次いで、CPU61は、RAM63内に蓄積された圧縮画像データをモデム67で変調した後、回線インターフェース68を介して通信相手先に送信する（ステップ S219）。そして、CPU11は、キューレジスタの1段目に“00H”を書き込み、「送信蓄積」の終了を設定する（ステップ S220）。

【0052】図18～図20は、本実施例の画像処理装置でファクシミリ送信を行っている最中に、並列処理可能な他の動作要求があった場合の処理手順を示すものである。なお、本例では、他の動作要求として、ホストインターフェース部6に接続されているパソコン88から「PCプリント」動作要求があった場合についての説明となっている。他の動作要求の組み合わせは、図9～図12に示す組み合わせパターン内であれば、該当箇所の変更だけで同様の処理手順となる。

【0053】ホストインターフェース部6に接続されたパソコン88から双方向パラレルインターフェース87

を介してプリント要求の入力があると（ステップS301）、ホストインターフェース部6は、パソコン88から送られてくる印字データをページメモリ86内に格納する（ステップS302）。そして、ページメモリ86内に1ページ分の印字データが格納された時点で、ホストインターフェース部6は、SIO部84から信号線104を介してCPU11にプリント要求がある旨を通知する（ステップS303）。このとき、記録紙サイズ等の情報も一緒に通知する。

【0054】ホストインターフェース部6からの通知を受け取ったCPU11は、キューレジスタ13aの1段目の内容を読み出し、内容をチェックする（ステップS304）。この場合、キューレジスタ13aの1段目の内容は、図13中、Bに示すように「送信蓄積」を表す“02H”となっているため、現在の動作状態が「送信蓄積」状態であることを確認する。続いて、CPU11は、キューレジスタ13bの1段目の内容を読み出し、その内容が“00H”であることを確認すると、ここに“06H”を書き込み、次の動作モードとして「PCプリント」の動作要求がある旨を記録する（ステップS305）。

【0055】続いて、CPU11は、SIO部18から信号線104を介してホストインターフェース部6に対してプリント開始を指示する（ステップS306）。プリント開始の指示が与えられたホストインターフェース部6は、画像信号インターフェース部85bから出力するイネーブル信号E<sub>6</sub>を“L”として、画像信号を出力可能状態とする（ステップS307）。そして、CPU11は、SIO部16から信号線102を介して画像記録部4に対して印字を指示し（ステップS308）、画像記録部4がレディ状態であるか否かを判断する（ステップS309）。

【0056】ステップS309の判断処理において、画像記録部4からレディステータス信号の返答がない場合には、画像記録部4はまだレディ状態ではないものと判断し（ステップS309；N）、レディステータス信号を受信するまで待機する。一方、ステップS309の判断処理において、画像記録部4からレディステータス信号の返答があった場合には、画像記録部4がレディ状態であるものと判断する（ステップS309；Y）。レディ状態となった画像記録部4は、画像信号インターフェース部45bから出力するイネーブル信号E<sub>2</sub>を“L”として、ページ同期信号用信号線、ライン同期信号用信号線、ドット同期信号用信号線を動作状態とし、ページ同期信号PSYNC、ライン同期信号LSYNC、ドット同期信号VCLKの各同期信号を送出可能な状態とする（ステップS310）。

【0057】次いで、画像記録部4は、原稿サイズに応じた所定のページ同期信号PSYNC、ライン同期信号LSYNC、ドット同期信号VCLKの各同期信号を信

号線7に出力し、信号線7を介してホストインターフェース部6は、これらの同期信号を入力する（ステップS311）。これによって、ホストインターフェース部6は、信号線9に画像データ信号VDを出力し、信号線9を介して画像記録部4は、画像データ信号VDを入力する。

【0058】そして、ホストインターフェース部6は、画像記録部4に対して画像データ信号VDを出力しつつ、パソコン88から送られてくる次の印字データをページメモリ86内に格納し（ステップS312）、ホストインターフェース部6は、1ページ分の印字データの格納が終了すると、ページ終了の情報をSIO部84からCPU11に通知する（ステップS313）。すると、CPU11は、SIO部18から信号線104を介してホストインターフェース部6に対して印字データの残りのあるか否かを確認し（ステップS314）、ページメモリ86内に印字データがまだあるか否かを判断する（ステップS315）。ステップS315の判断処理において、ページメモリ86内に印字データがまだある場合（ステップS315；Y）、ステップS315からの処理を再度実行する。

【0059】一方、ステップS315の判断処理において、ページメモリ86内に印字データがもうない場合（ステップS315；N）、CPU11は、SIO部18から信号線104を介してホストインターフェース部6に対して「PCプリント」動作の終了を通知する（ステップS316）。「PCプリント」動作の終了通知を受けたホストインターフェース部6は、画像信号インターフェース部85bから出力するイネーブル信号E<sub>6</sub>を“H”として、ページ同期信号用信号線、ライン同期信号用信号線、ドット同期信号用信号線をアイドル状態とする（ステップS317）。

【0060】続いて、CPU11は、SIO部16から信号線102を介して画像記録部4に対して「PCプリント」動作の終了を通知する（ステップS318）。

「PCプリント」動作の終了通知を受けた画像記録部4は、画像信号インターフェース部45bから出力するイネーブル信号E<sub>2</sub>を“H”として、ページ同期信号用信号線、ライン同期信号用信号線、ドット同期信号用信号線をアイドル状態とする（ステップS319）。そして、CPU11は、キューレジスタ13bの1段目に“00H”を書き込み、「PCプリント」の終了を設定する（ステップS320）。

【0061】図21～図23は、本実施例の画像処理装置でファクシミリ送信を行っている最中に、並列処理不可能な他の動作要求があった場合の処理手順を示すものである。なお、本例では、他の動作要求として、ホストインターフェース部6に接続されているパソコン88から「PCファックス送信」動作要求があった場合についての説明となっているが、「PCファックス送信」動作

10

20

30

40

50

要求以外の動作要求についても該当箇所の変更だけで同様の処理手順となる。

【0062】ホストインターフェース部6に接続されたパソコン88から双方向パラレルインターフェース87を介してPCファックス送信要求の入力があると(ステップS401)、ホストインターフェース部6は、パソコン88から送られてくる送信データをページメモリ86内に格納する(ステップS402)。そして、ページメモリ86内に1ページ分の送信データが格納された時点で、ホストインターフェース部6は、SIO部84から信号線104を介してCPU11にプリント要求がある旨を通知する(ステップS403)。このとき、記録紙サイズ等の情報と一緒に通知する。

【0063】ホストインターフェース部6からの通知を受け取ったCPU11は、キューレジスタ13aの1段目の内容を読み出し、内容をチェックする(ステップS404)。この場合、キューレジスタの1段目の内容は、図13中、Cに示すように「送信蓄積」を表す“02H”となっているため、現在の動作状態が「送信蓄積」状態であることを確認する。続いて、CPU11は、キューレジスタ13aの2段目の内容を読み出し、その内容が“00H”であることを確認すると、ここに“07H”を書き込み、次の動作モードとして「PCファックス送信」の動作要求がある旨を記録する(ステップS405)。そして、CPU11は、現在「送信蓄積」動作中であるため、SIO部18から信号線104を介してホストインターフェース部6に一時待機することを指示する(ステップS406)。以後、CPU11は、一定周期でキューレジスタの内容をチェックする(ステップS407)。

【0064】すなわち、キューレジスタの1段目が“00H”となったか否かを一定周期毎に判断し(ステップS408)、“00H”となった場合(ステップS408;Y)、CPU11は、キューレジスタの1段目に2段目の内容(この場合、“07H”)をコピーするとともに、2段目の内容を“00H”に書き込み、キューレジスタの内容を更新する(ステップS409)。続いて、CPU11は、SIO部18から信号線104を介してホストインターフェース部6に対してPCファックス送信開始を指示する(ステップS410)。

【0065】PCファックス送信開始の指示が与えられたホストインターフェース部6は、画像信号インターフェース部85aから出力するイネーブル信号E<sub>6</sub>を“L”として、画像信号を出力可能状態とする(ステップS411)。そして、CPU11は、SIO部17から信号線103を介して通信部5に対して送信を指示し(ステップS412)、通信部5がレディ状態であるか否かを判断する(ステップS413)。

【0066】ステップS413の判断処理において、通信部5からレディステータス信号の返答がない場合に

は、通信部5はまだレディ状態ではないものと判断し

(ステップS413;N)、レディステータス信号を受信するまで待機する。一方、ステップS413の判断処理において、通信部5からレディステータス信号の返答があった場合には、通信部5がレディ状態であるものと判断する(ステップS413;Y)。レディ状態となった通信部5は、画像信号インターフェース部65aから出力するイネーブル信号E<sub>2</sub>を“L”として、ページ同期信号用信号線、ライン同期信号用信号線、ドット同期信号用信号線を動作状態とし、ページ同期信号PSYNC、ライン同期信号LSYNC、ドット同期信号VCLKの各同期信号を送出可能な状態とする(ステップS414)。

【0067】次いで、送信部3は、送信データに応じた所定のページ同期信号PSYNC、ライン同期信号LSYNC、ドット同期信号VCLKの各同期信号を信号線7に出力し、信号線7を介してホストインターフェース部6は、これらの同期信号を入力する(ステップS415)。これによって、ホストインターフェース部6は、信号線7に画像データ信号VDを出力し、信号線7を介して送信部3は、画像データ信号VDを入力する。そして、ホストインターフェース部6は、画像記録部4に対して画像データ信号VDを出力しつつ、パソコン88から送られてくる次の送信データをページメモリ86内に格納し(ステップS416)、ホストインターフェース部6は、1ページ分の送信データの格納が終了すると、ページ終了の情報をSIO部84からCPU11に通知する(ステップS417)。

【0068】すると、CPU11は、SIO部18から信号線104を介してホストインターフェース部6に対して印字データの残りがあるか否かを確認し(ステップS418)、ページメモリ86内に送信データがまだあるか否かを判断する(ステップS419)。ステップS419の判断処理において、ページメモリ86内に印字データがまだある場合(ステップS419;Y)、ステップS415からの処理を再度実行する。一方、ステップS419の判断処理において、ページメモリ86内に送信データがもうない場合(ステップS419;N)、CPU11は、SIO部18から信号線104を介してホストインターフェース部6に対して「PCファックス送信」動作の終了を通知する(ステップS420)。

【0069】「PCファックス送信」動作の終了通知を受けたホストインターフェース部6は、画像信号インターフェース部85aから出力するイネーブル信号E<sub>6</sub>を“H”として、ページ同期信号用信号線、ライン同期信号用信号線、ドット同期信号用信号線をアイドル状態とする(ステップS421)。続いて、CPU11は、SIO部16から信号線102を介して通信部5に対して「PCファックス送信」動作の終了を通知する(ステップS422)。「PCファックス送信」動作の終了通知

を受けた通信部 5 は、画像信号インターフェース部 6 5 a から出力するイネーブル信号 E 2 を “H” とし、ページ同期信号用信号線、ライン同期信号用信号線、ドット同期信号用信号線をアイドル状態とする（ステップ S 4 2 3）。そして、CPU 1 1 は、キューレジスタ 1 3 a の 1 段目に “0 0 H” を書き込み、「P C ファックス送信」の終了を設定する（ステップ S 4 2 4）。

【0 0 7 0】以上説明したように、本実施例では、各サブモジュール間で、画像データ用信号線、ページ同期信号用信号線、ライン同期信号用信号線、ドット同期信号用信号線の 4 つの信号線を共通の信号線として使用することで、信号線数を増やすことなく、後からサブモジュールを増設することが容易に行え、システムの拡張性に優れている。また、この共通の信号線を複数備えることにより、異なるサブモジュールの組み合わせによる並列動作が可能となる。

#### 【0 0 7 1】第 1 の実施例における第 1 の変形例

【0 0 7 2】前述した実施例でのファクシミリ送信は、通信部 5 内の R A M 6 3 に送信すべき画像データを蓄積した後に行うようにしているが、すべての画像データを蓄積してから送信するのではなく、通信部 5 に入力される画像データを、入力された時点で順次送信するようにしてもよい。また、前述の実施例では、サブモジュールの一例として、画像読取部 3、画像記録部 4、通信部 5、ホストインターフェース部 6 の 4 つを挙げているが、他にも画像データの入力あるいは出力を行う機能を有するものであれば、どのようなものをサブモジュールとして接続しても構わない。

#### 【0 0 7 3】第 2 の実施例

【0 0 7 4】図 2 4 は、本発明の第 2 の実施例における画像処理装置の要部構成を示すものである。同図に示すように、本実施例での画像処理装置 1' は、第 1 の実施例と同様に、画像処理装置 1' における処理の全体制御を行う制御部（制御手段、検索手段）2' と、制御部 2' から信号線 1 0 1 を介して出力される制御信号に基づき所望の画像データを読み取る画像読取部（画像処理手段）3' と、制御部 2' から信号線 1 0 2 を介して出力される制御信号に基づき画像データを記録する画像記録部（画像処理手段）4' と、制御部 2' から信号線 1 0 3 を介して出力される制御信号に基づき外部装置との間で通信によるデータの送受信を行う通信部（画像処理手段）5' と、制御部 2' から信号線 1 0 4 を介して出力される制御信号に基づいて、図示しないパソコン等のホスト装置との入出力インターフェースとなるホストインターフェース部（画像処理手段）6' とを備えている。また、画像読取部 3、画像記録部 4、通信部 5、ホストインターフェース部 6 は、図 2 ～図 5 に示す画像信号インターフェース部 2 5 b、4 5 b、6 5 b、8 5 b と、これら画像信号インターフェース部 2 5 b、4 5 b、6 5 b、8 5 b に接続するバッファ回路を除いたも

のとなっている。

【0 0 7 5】前述の第 1 実施例では、図 7（c）に示すように、各ドット同期信号用信号線から入力される基準クロック信号となるドット同期信号によって、その動作タイミングを決定していたが、本実施例では、この基準クロック信号の 2 倍の周波数の倍クロック信号 X V C L K を生成する倍クロック生成手段（図示せず）を新たに設け、この倍クロック生成手段によって生成される倍クロック信号 X V C L K を、信号線 9' を介して各サブモジュールに入力する。

【0 0 7 6】そして、各サブモジュールの画像信号インターフェース部 2 5 a、4 5 a、6 5 a、8 5 a は、図 2 5 に示すように、倍クロック信号 X V C L K のパルス立ち下がりタイミングをサンプリング点として時分割利用することで、第一転送タイミングと第二転送タイミングとの 2 つの転送タイミングを作り出し、1 本の共通接続された信号線 7 で同時に 2 組の画像データ転送を可能としている。

【0 0 7 7】図 2 5 は、第 2 の実施例の動作時における、ページ同期信号、ライン同期信号、ドット同期信号、画像データ信号の各波形を示すものである。同図中、（a）は基本クロック信号となるドット同期信号 V C L K、（b）は倍クロック信号 X V C L K、（c）は第一転送タイミングにおけるページ同期信号 P S Y N C、（d）は第一転送タイミングにおけるライン同期信号 L S Y N C、（e）は第一転送タイミングにおける画像データ信号 V D、（f）は第二転送タイミングにおけるページ同期信号 P S Y N C、（g）は第二転送タイミングにおけるライン同期信号 L S Y N C、（h）は第二転送タイミングにおける画像データ信号 V D を示す。

【0 0 7 8】このように本実施例では、通常使用するドット同期信号の 2 倍の周波数のクロック信号を用いて、時分割処理を行うことにより、1 本の共通伝送路によって異なるサブモジュールの組み合わせによる並列動作が可能となる。したがって、本実施例では、伝送路数の増加に伴う信号線数の増加を最小限に抑えることができる。

#### 【0 0 7 9】第 2 の実施例における第 1 の変形例

【0 0 8 0】前述した第 2 の実施例では、基準クロック信号となるドット同期信号の 2 倍の周波数を有する倍クロック信号 X V C L K を別に生成していたが、各サブモジュール内にドット同期信号を取り込み、その内部において、クロック周波数を 2 倍にするように構成してもよい。また、動作周波数は、ドット同期信号の 2 倍に限らず、n（n は 2 以上の整数）倍とすることで、同時に n 組のサブモジュールの並列動作を可能とするように構成することもできる。

#### 【0 0 8 1】

【発明の効果】以上説明したように、請求項 1 記載の発明では、画像処理手段間を共通接続する信号伝送路を 2

組以上設けて、各信号伝送路毎に並列動作可能な画像処理手段を割り当てることで、信号線数を抑えつつ、複数組の画像処理装置間で画像データの並列転送処理を行うことができる。

【0082】請求項2記載の発明では、画像処理手段間を共通接続する信号伝送路を利用する時間間隔を複数に分割し、分割された時間毎に並列動作可能な画像処理手段を割り当てることにより、信号線数を抑えつつ、複数組の画像処理装置間で画像データの並列転送処理を行うことができる。

【0083】請求項3記載の発明では、請求項1または2に記載する発明に加えて、画像データ伝送のために外部から同期信号を供給することなく、選択された画像処理手段間だけで正しく画像データのやりとりを行うことができる。

#### 【図面の簡単な説明】

【図1】 本発明の第1の実施例における画像処理装置の要部構成を示す図である。

【図2】 図1における画像読取部の要部構成を示すブロック図である。

【図3】 図1における画像記録部の要部構成を示すブロック図である。

【図4】 図1における通信部の要部構成を示すブロック図である。

【図5】 図1におけるホストインターフェース部の要部構成を示すブロック図である。

【図6】 アイドル時における、ページ同期信号、ライン同期信号、ドット同期信号、画像データ信号の波形を示す図である。

【図7】 動作時における、ページ同期信号、ライン同期信号、ドット同期信号、画像データ信号の波形を示す図である。

【図8】 画像データの入出力を行うサブモジュールの動作可能な組み合わせを示す図である。

【図9】 並列動作が可能な組み合わせ例を示す図である。

【図10】 並列動作が可能な組み合わせ例を示す図である。

【図11】 並列動作が可能な組み合わせ例を示す図である。

【図12】 現在の動作状態からデュアル動作可能な次の動作の一覧を示す図である。

【図13】 動作要求に伴うキューレジスタ内部値の変化を説明するための図である。

【図14】 画像処理装置の電源投入後の処理手順を示す図である。

【図15】 本実施例の画像処理装置でファクシミリ送信を行う場合の処理手順を示す図である。

【図16】 図15に続く、本実施例の画像処理装置でファクシミリ送信を行う場合の処理手順を示す図である。

【図17】 図16に続く、本実施例の画像処理装置でファクシミリ送信を行う場合の処理手順を示す図である。

【図18】 本実施例の画像処理装置でのある動作中に並列動作可能な他の動作要求があった場合の処理手順を示す図である。

【図19】 図18に続く、本実施例の画像処理装置でのある動作中に並列動作可能な他の動作要求があった場合の処理手順を示す図である。

【図20】 図19に続く、本実施例の画像処理装置でのある動作中に並列動作可能な他の動作要求があった場合の処理手順を示す図である。

【図21】 本実施例の画像処理装置でのある動作中に並列動作が不可能な他の動作要求があった場合の処理手順を示す図である。

【図22】 図21に続く、本実施例の画像処理装置でのある動作中に並列動作が不可能な他の動作要求があった場合の処理手順を示す図である。

【図23】 図22に続く、本実施例の画像処理装置でのある動作中に並列動作が不可能な他の動作要求があった場合の処理手順を示す図である。

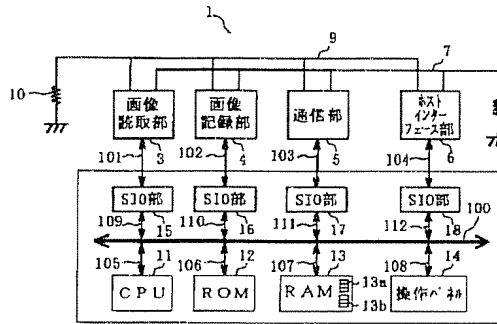
【図24】 本発明の第2の実施例における画像処理装置の要部構成を示す図である。

【図25】 第2の実施例の動作時における、ページ同期信号、ライン同期信号、ドット同期信号、画像データ信号の各波形を示す図である。

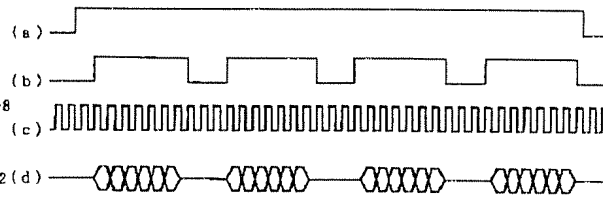
#### 【符号の説明】

1、1' …画像処理装置、2、2' …制御部（制御手段）、3、3' …画像読取部（画像処理手段）、4、4' …画像記録部（画像処理手段）、5、5' …通信部（画像処理手段）、6、6' …ホストインターフェース部（画像処理手段）、7、9 …信号線（信号伝送路）、8、10 …プルダウン抵抗、11 …CPU、12 …ROM、13 …RAM、14 …操作パネル、15～18 …SIO部、100 …システムバス、101～112 …信号線

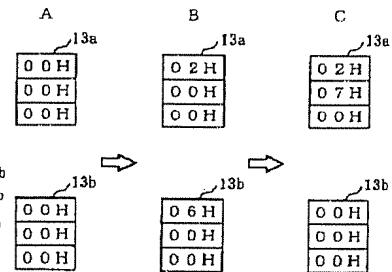
【図1】



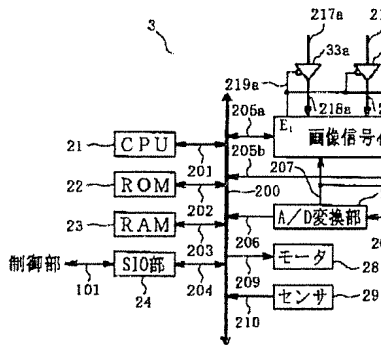
【図7】



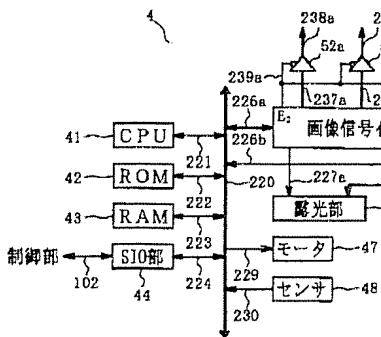
【図13】



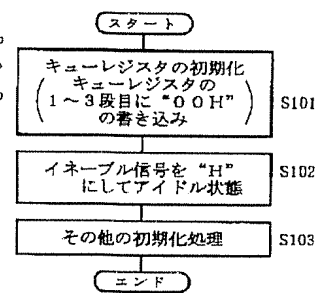
【図2】



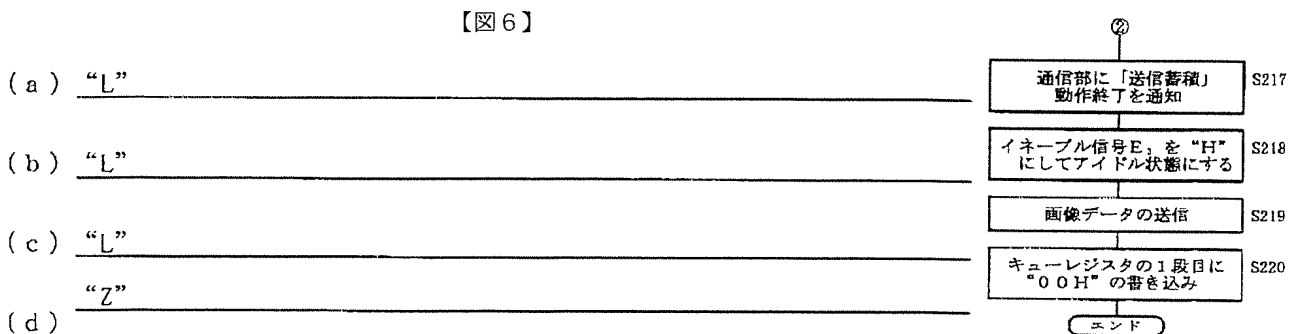
【図3】



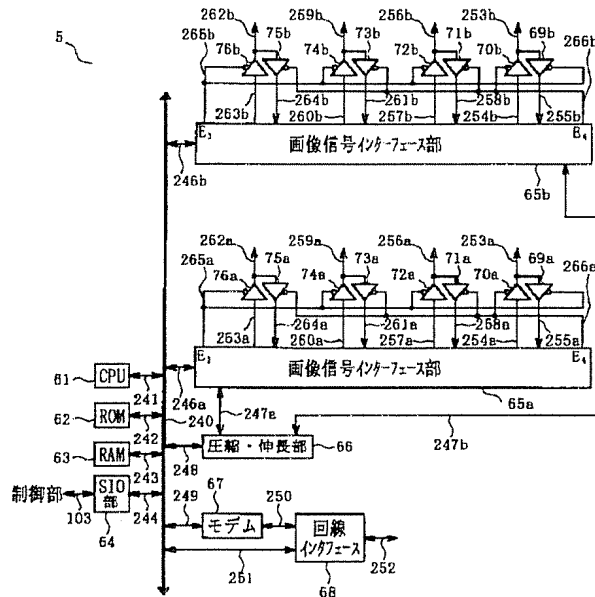
【図14】



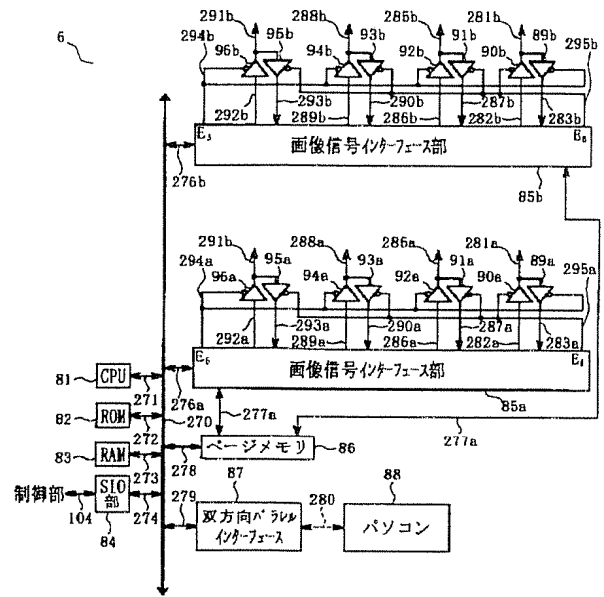
【図17】



【図 4】



【図 5】



【図 8】

| 画像出力側        | 画像読取部         | 通信部            | ホストインターフェース部   |
|--------------|---------------|----------------|----------------|
| 画像入力側        |               |                |                |
| 画像記録部        | コピー(01H)      | 受信プリント(04H)    | PCプリント(06H)    |
| 通信部          | 送信蓄積(02H)     |                | PCファックス送信(07H) |
| ホストインターフェース部 | ローカルスキャン(03H) | PCファックス受信(05H) |                |

【図 9】

| 画像出力側 | 画像読取部 | ホストインターフェース部          |
|-------|-------|-----------------------|
| 画像入力側 |       |                       |
| 画像記録部 | コピー   |                       |
| 通信部   |       | PCファックス送信またはPCファックス受信 |

【図 10】

| 画像出力側        | 画像読取部    | 通信部    |
|--------------|----------|--------|
| 画像入力側        |          |        |
| 画像記録部        |          | 受信プリント |
| ホストインターフェース部 | ローカルスキャン |        |

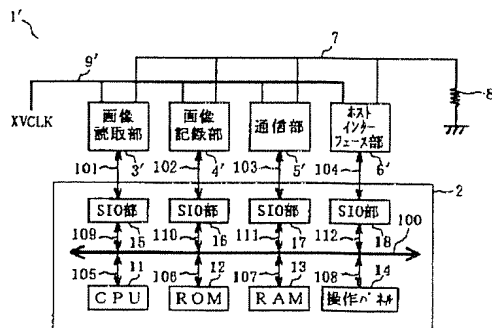
【図 11】

| 画像出力側 | ホストインターフェース部 | 画像読取部 |
|-------|--------------|-------|
| 画像入力側 |              |       |
| 画像記録部 | PCプリント       |       |
| 通信部   |              | 送信蓄積  |

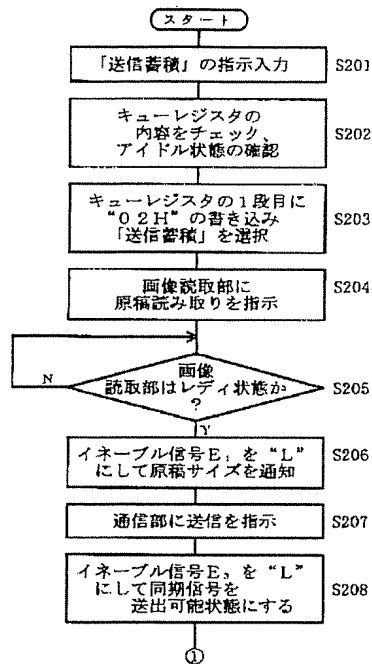
【図 12】

| 現在の動作状態        | デフォルト動作可能な次の動作                  |
|----------------|---------------------------------|
| コピー(01H)       | PCファックス受信(05H)またはPCファックス送信(07H) |
| 送信蓄積(02H)      | PCプリント(06H)                     |
| ローカルスキャン(03H)  | 受信プリント(04H)                     |
| 受信プリント(04H)    | ローカルスキャン(03H)                   |
| PCファックス受信(05H) | コピー(01H)                        |
| PCプリント(06H)    | 送信蓄積(02H)                       |
| PCファックス送信(07H) | コピー(01H)                        |

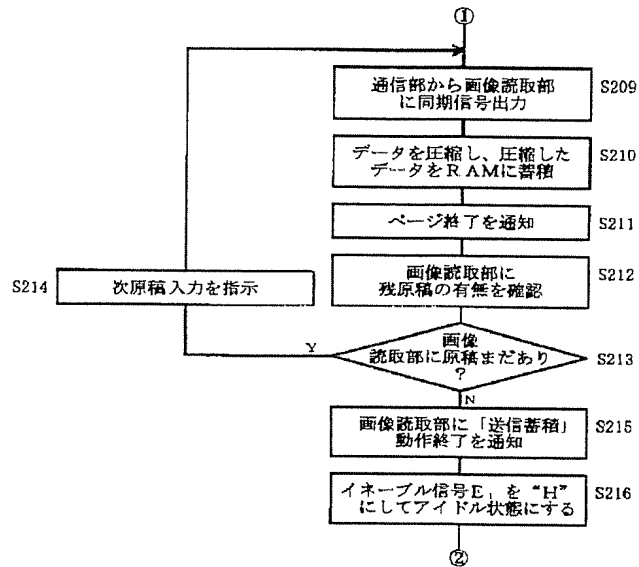
【図 24】



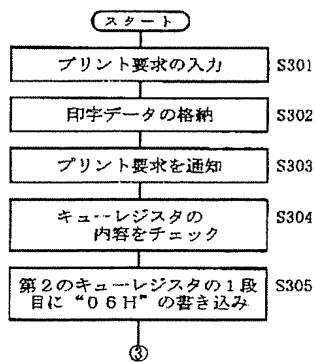
【図15】



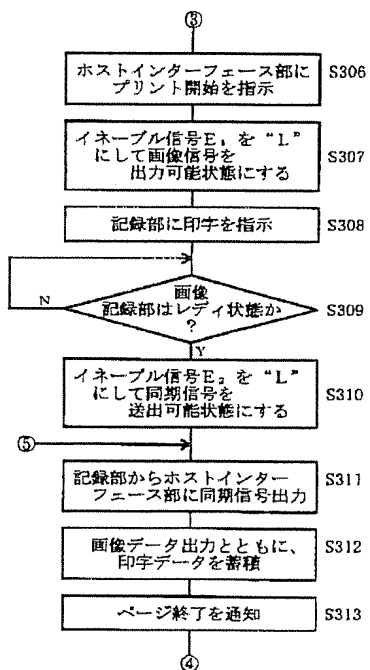
【図16】



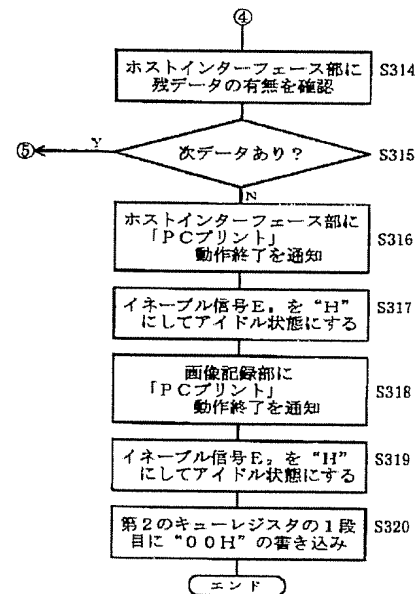
【図18】



【図19】

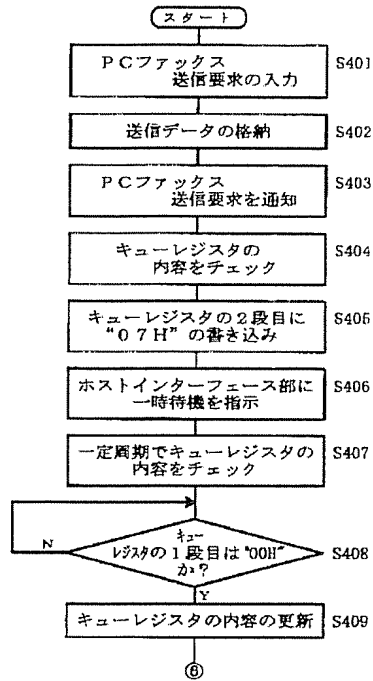


【図20】

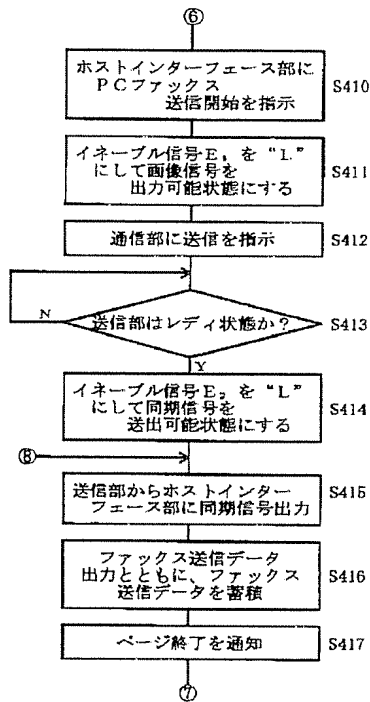




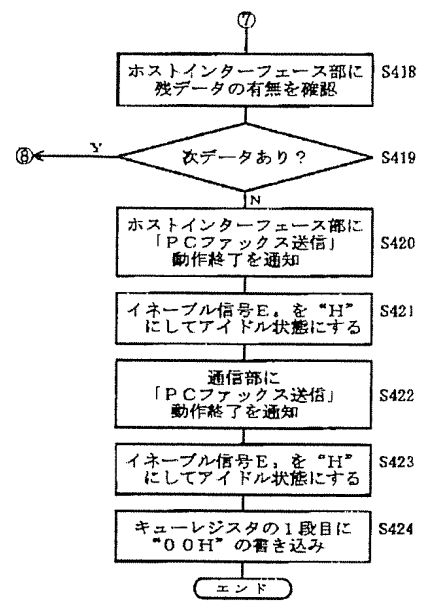
【図21】



【図22】



【図23】



【図25】

